

《数字逻辑与计算机组成 (Digital Logic and Computer Organization) 》教学大纲

制定时间: 2024 年 1 月

一、课程基本信息

- (一) **适用专业:** 物联网工程
- (二) **课程代码:** 3ZN1032A
- (三) **学分/课内学时:** 4 学分/64 学时
- (四) **课程类别:** 专业教育
- (五) **课程性质:** 必修/理论课
- (六) **先修课程:** 《单片机原理及应用》、《C 语言程序设计》、《数据结构》、《电路分析与模拟电子技术》
- (七) **后续课程:** 《操作系统》、《编译原理》、《嵌入式 Linux 应用与开发》

二、课程教学目标

《数字逻辑与计算机组成》是工科高等学校计算机类、软件工程类和物联网工程专业的一门主干技术基础课,课程理论与实践兼顾,在计算机学科系列课程中处于承上启下的作用。

数字逻辑与计算机组成一直以来都是紧密联系的课程内容,本课程将二者合二为一,更利于加强读者对计算机各组成部件的工作原理的理解以及融会贯通。课程主要包括:数据在计算机内部的二进制编码表示;数字逻辑基础内容;组合逻辑电路;各种时序逻辑处理模块的基本原理和实现方法;FPGA 设计和硬件描述语言的背景知识及其使用;机器指令中涉及的各类基本运算的运算方法以及相应的运算部件;指令系统的设计;CPU 的基本功能和基本结构;各类存储器的工作原理和组织形式;系统互连。在深化计算机各功能部件教学的同时,加强对计算机整机硬件系统组成与运行原理有关的内容,并引入华为鲲鹏等国产处理器作为案例,激发学生投身国产 IT 生态自主可控事业的使命感。在教学的整个过程中,坚持以硬件知识为主的同时,加深对计算机整机系统中硬件和软件的联系与配合的认识。课程目标及能力要求具体如下:

(一) 具体目标

目标 1: 能够描述冯·诺依曼机的结构及工作原理,掌握数字逻辑基础、组合逻辑电路、时序逻辑电路等基本工程科学原理,建立计算机整机概念。通过文献阅读等手段能认识并判断物联网领域的实际工程问题,并找到多种解决方案。(对

应毕业要求指标点 2.2)

目标 2：能够进行物联网软硬件系统的总体设计，能够解释控制器的工作原理，算术逻辑部件的工作原理及运算方法，设计过程中体现创新意识。（对应毕业要求指标点 3.3)

目标 3：能运用存储芯片的结构，分析存储系统分层结构；能分析计算机系统中指令系统、寻址方式，设计指令系统。掌握 I/O 系统的作用、I/O 接口的结构以及 I/O 工作模式。识别和分析物联网工程领域的新器件、新装置、新系统、新技术和新模式的应用。（对应毕业要求指标点 6.2)

(二) 课程目标与毕业要求的对应关系

毕业要求	毕业要求指标点	课程目标	教学单元	评价方式
毕业要求 2：能够应用数学、自然科学和工程科学的基本原理，识别、表达、并通过文献研究分析物联网领域中的复杂工程问题，以获得有效结论。	指标点 2.2：能认识并判断物联网领域实际工程问题有多种解决方案，能分析文献寻求可替代的解决方案，能正确表达一个实际工程问题的解决方案。	目标 1	计算机组成原理基本概念、数字逻辑基础、组合电路、时序电路	平时作业 实验 期中考试 考核 期末考试
毕业要求 3：能够设计针对物联网领域中的复杂工程问题的解决方案，设计满足特定需求的物联网应用系统，并能够在设计环节中体现创新意识，考虑社会、健康、安全、法律、文化以及环境等因素。	指标点 3.3：能够进行物联网软硬件系统的总体设计，并在设计过程中体现创新意识。	目标 2	运算器、存储系统	平时作业 实验 期末考试
毕业要求 6：能够基于工程背景知识和技术标准，对物联网工程进行合理分析，评价物联网应用系统及其复杂工程问题解决方案对社会、健康、安全、法律以及文化的影响，并理解应承担的责任。	指标点 6.2：能识别和分析物联网工程领域的新器件、新装置、新系统、新技术和新模式的应用对社会、健康、安全、法律以及文化的潜在影响，能评价物联网应用系统失效对社会、健康、安全、法律以及文化的潜在影响。	目标 3	指令系统、控制器、总线、I/O 系统	平时作业 实验 期末考试

三、教学内容与方法

(一) 教学内容及要求

序号	教学单元	教学内容 (知识点)	学习产出要求	推荐学时	推荐教学方式	支撑教学目标	备注
1	绪论	计算机发展历史、应用概况；冯·诺依曼思想及冯·诺依曼机；计算机的性能指标	了解计算机发展历史；理解冯·诺依曼思想，理解计算机五大部件的作用和在计算机整机系统中的功能；建立计算机整机概念。理解计算机的主要性能指标含义。	2	讲授	目标 3	平时作业、试卷考核
2	数据编码及校验	数据信息在机器中的表示方法；数制及不同数制之间的转换；定点数的表示；定点数的加减运算原理及溢出的概念与检测方法；定点乘法运算和除法运算的工作原理；	掌握数据信息在机器中的表示方法、数制及其相互转换；掌握定点数的加减运算原理，理解溢出及其判定方法；掌握定点数的乘法运算；理解浮点数的表示方法和浮点数的运算。	6	讲授		
2	数字逻辑及电路	数字逻辑基础、组合逻辑电路、时序逻辑电路和同步时序逻辑设计	掌握数字逻辑基础、组合逻辑电路、时序逻辑电路的工作原理，理解同步时序逻辑设计。	16	讲授、实操	目标 1	平时作业、实验、试卷考核
3	FPGA 设计	FPGA 设计和硬件描述语言	掌握 FPGA 设计及其对应的硬件 Verilog 语言描述。通过 Verilog 语言完成组合逻辑和时序逻辑的代码实现。	4	讲授、实操	目标 2	实验、试卷考核
4	总线	总线的概念与分类，	掌握总线的概念与	2	讲授、	目标 3	平时

序号	教学单元	教学内容 (知识点)	学习产出要求	推荐学时	推荐教学方式	支撑教学目标	备注
		总线的性能指标; 指令执行过程及指令周期; 中断的原理; 计算机性能指标与改进。	分类, 总线的性能指标; 掌握指令周期, 指令周期对应的操作以及使用到的器件; 掌握中断概念及中断的处理过程; 掌握影响计算机性能的指标, 并能针对不同的指标给出改进方法。				作业、试卷考核
5	存储系统	存储系统分层结构及工作原理; Cache 的结构及 Cache 映射机制; Cache 替换算法; 内存的工作原理; 半导体芯片的结构及扩展; 数据纠错原理及海明校验; 外存的种类及工作原理。	理解存储系统分层结构, Cache--主存--外存工作原理, 理解计算机存储系统采用分层结构的必要性; 理解 Cache 的结构, 掌握 Cache 的工作原理和映射方法; 掌握 Cache 替换算法; 掌握内存种类及工作原理, 掌握半导体芯片的扩展方法; 掌握海明校验原理及方法; 理解外存的分类, 掌握磁盘结构及工作原理。	14	讲授 实操	目标 5	平时作业、实验、试卷考核
6	I/O 系统	接口的概念及作用、外设编址方法; 三种输入输出方式的原理及对比; DMA 控制器结构及工作过程; I/O 通道和 I/O 处理机。	了解接口的概念, 掌握外设编址方法; 掌握查询方式、中断方式、DMA 方式数据传送方式和工作细节; 了解 I/O 通道和 I/O 处理机作用及功能。	2	讲授、	目标 3	平时作业、试卷考核

序号	教学单元	教学内容 (知识点)	学习产出要求	推荐学时	推荐教学方式	支撑教学目标	备注
7	算术逻辑部件	运算器结构及工作原理；数据信息在机器中的表示方法；数制及不同数制之间的转换；定点数的表示；定点数的加减运算原理及溢出的概念与检测方法；定点乘法运算和除法运算的工作原理；浮点数的表示方法；浮点数的四则运算。	掌握数据信息在机器中的表示方法、数制及其相互转换；掌握定点数的加减运算原理，理解溢出及其判定方法；掌握定点数的乘法运算；理解浮点数的表示方法和浮点数的运算。	12	讲授、实操	目标 4	平时作业、实验、试卷考核
8	指令系统	指令系统的概念；指令的分类；指令的结构；使用汇编指令实现简单运算功能；指令和数据的寻址方式及优缺点对比	掌握指令的基本格式及各个部分的功能；掌握指令和数据的寻址方式；理解典型指令系统的分类和组成。	6	讲授	目标 6	平时作业、试卷考核
9	控制器	指令周期、机器周期、节拍、时钟周期、微操作的概念；控制存储器的概念；控制器的基本组成及各构成模块的功能；组合逻辑控制器实现的方法和基本原理；微程序控制器的工作原理；后继微地址产生方法。	理解指令周期、机器周期、节拍、时钟周期、微操作的概念；理解控制存储器的概念；理解控制器的基本组成及各构成模块的功能；理解组合逻辑控制器实现的方法和基本原理；理解微程序控制器的工作原理；后继微地址产生方法。	6	讲授	目标 4	平时作业、实验、试卷考核

(二) 教学方法

1.课堂讲授

(1) 采用启发式教学，激发学生主动学习的兴趣，培养学生独立思考、分

析问题和解决问题的能力,引导学生主动通过实践和自学获得自己想学到的知识。

(2) 在教学内容上,系统讲授数字逻辑基础、数字电路设计和计算机五大部件:控制器、运算器、存储器、输入设备和输出设备的相关知识及其相互联系,使学生能够系统掌握用于解决计算机类、软件工程类专业和物联网工程专业复杂工程问题的专业基础知识。

(3) 在教学过程中采用电子教案、平时作业、实验报告等方式,多媒体教学与传统板书、教具教学相结合,课内和课外相结合,提高课堂教学信息量,增强教学的直观性。

(4) 理论教学与工程实践相结合,引导学生应用数学、自然科学和工程科学的基本原理,采用现代设计方法和手段,进行机构分析、综合与仿真,培养其识别、表达和解决计算机组成相关工程问题的思维方法和实践能力。

2.实验教学

实验教学是本课程中重要的实践环节,目的是培养学生运用实验方法设计、验证和创建实践的能力。课程必做实验 8 个,各实验按照实验指导书的要求学生独立或分组完成,并提交实验报告。

四、考核及成绩评定

(一)考核内容及成绩构成

课程考核以考核学生能力培养目标的达成为主要目的,以检查学生对各知识点的掌握程度和应用能力为重要内容,包括平时作业考核、实验和期末考核三个部分。平时考核采用平时作业、实验等方式评定学生成绩;期末考核采用**笔试**评定学生成绩。各课程目标的考核内容、成绩评定方式、目标分值建议如下:

课程目标	考核内容	成绩评定方式	成绩占总评分比例	目标成绩占当次考核比例	学生当次考核平均得分	目标达成情况计算公式
目标 1: 掌握数字逻辑基础、组合逻辑电路、时序逻辑电路和	数字逻辑基础、组合逻辑电路、时序逻辑电路的工作原理和同步时序逻辑设计。	平时作业	4%	20%	A1	$\frac{A1 \times 20\% \times 4\% + B1 \times 25\% \times 5\% + C1 \times 20\% \times 12\%}{21}$
		实验	5%	25%	B1	

课程目标	考核内容	成绩 评定 方式	成绩占 总评分 比例	目标 成绩 占当 次考 核比 例	学 生 当 次 考 核 平 均 得 分	目标达成情况计算公式
同步时序逻辑设计		试 卷 考核	12%	20%	C1	
目标 2：掌握 F PGA 设计和硬 件描述语言	FPGA 设计及其对应的 硬件 Verilog 语言 描述。	实验	5%	25%	B2	$\frac{\frac{B2}{25\%} \times 5\% + \frac{C2}{13\%} \times 8\%}{13}$
		试 卷 考核	8%	13%	C2	
目标 3：掌握 冯·诺依曼机的 结构及工作原 理, 总线概念及 工作原理, 建立 计算机整机概 念。掌握 I/O 系 统的作用、I/O 接口的结构以 及 I/O 工作模 式。	冯·诺依曼思想及 冯·诺依曼机; I/O 系 统; 总线	平 时 作业	4%	20%	A3	$\frac{\frac{A3}{20\%} \times 4\% + \frac{C3}{13\%} \times 8\%}{12}$
	冯·诺依曼思想及 冯·诺依曼机; I/O 系 统; 总线	试 卷 考核	8%	13%	C3	
目标 4：掌握控 制器的工作原 理, 算术逻辑部 件的工作原 理及运算方法。	控制器、算术逻辑部 件	平 时 作业	4%	20%	A4	$\frac{\frac{A4}{20\%} \times 4\% + \frac{B4}{25\%} \times 5\% + \frac{C4}{20\%} \times 12\%}{21}$
	控制器、算术逻辑部 件	实验	5%	25%	B4	
	控制器、算术逻辑部 件	试 卷 考核	12%	20%	C4	
目标 5：掌握存 储芯片的结构, 理解存储系统 分层结构。	存储系统	平 时 作业	4%	20%	A5	$\frac{\frac{A5}{20\%} \times 4\% + \frac{B5}{25\%} \times 5\% + \frac{C5}{20\%} \times 12\%}{21}$
	存储系统	实验	5%	25%	B5	
	存储系统	试 卷 考核	12%	20%	C5	

课程目标	考核内容	成绩评定方式	成绩占总评分比例	目标成绩占当次考核比例	学生当次考核平均得分	目标达成情况计算公式
目标 6: 掌握计算机系统中指令系统的概念、寻址方式, 了解指令系统的设计。	指令系统	平时作业	4%	20%	A6	$\frac{\frac{A6}{20\%} \times 4\% + \frac{C6}{13\%} \times 8\%}{12}$
	指令系统	试卷考试	8%	13%	C6	
总评成绩 (100%) = 平时作业 (20%) + 实验 (20%) + 期末考试 (60%)			100%	—	—	$\frac{\text{学生总评平均分}}{100}$

(二) 平时考核成绩评定

平时作业: 共 5 次, 支持目标 1、目标 3、目标 4、目标 5、目标 6, 共占总评分 20%, 目标 1 占 4%、目标 3 占 4%、目标 4 占 4%、目标 5 占 4%、目标 6 占 4%。

其中 5 次平时作业主要为客观题和主观题。

平时作业由学生自行到网上学习中心完成, 教师评阅后给出学生平时成绩。

对应目标的评分标准如下:

对应目标	目标 1: 掌握数字逻辑基础、组合逻辑电路、时序逻辑电路和同	目标 3: 掌握冯·诺依曼机的结构及工作原理, 总线概念	目标 4: 掌握控制器的的工作原理, 算术逻辑部件的工作原	目标 5: 掌握存储芯片的结构, 理解存储系统分层	目标 6: 掌握计算机系统中指令系统的概念、寻址

		步时序逻辑设计。	及工作原理,建立计算机整机概念。掌握 I/O 系统的作用、I/O 接口的结构以及 I/O 工作模式。	理及运算方法。	结构。	方式,了解指令系统的设计。
	考查点	端正课程学习目标,了解数字逻辑基础、组合逻辑电路、时序逻辑电路和同步时序逻辑设计。	端正课程学习目标,了解计算机组成原理基本知识,掌握总线和 I/O 系统工作原理。	理解控制器的基本组成和控制方法;理解信息在机器中的表示和运算器的工作原理。	理解存储器系统的分层思想和构造方法,掌握 cache 映射方法和替换算法。	掌握指令的基本格式和功能,指令和数据的寻址方式。
	成绩比例	4%	4%	4%	4%	4%
评分标准	100%至90%	优秀:了解数字逻辑基础、组合逻辑电路、时序逻辑电路和同步时序逻辑设计,对数字逻辑有深刻理解	优秀:了解计算机五大部件的基本知识,对总线和 I/O 系统有深刻理解	优秀:可以全面理解控制器和运算器的工作原理	优秀:可以全面理解存储器的工作原理	优秀:可以全面理解指令系统的工作原理
	89.9%至75%	良好:了解数字逻辑基础、组合逻辑电路、时序逻辑电路和同步时序逻辑设计,对数字逻辑有较好理解	良好:了解计算机五大部件的基本知识,对总线和 I/O 系统有较好理解	良好:可以较好理解控制器和运算器的工作原理	良好:可以较好理解存储器的工作原理	良好:可以较好理解指令系统的工作原理
	74.5%至60%	中等:了解数字逻辑基础、组合逻辑电路、时序逻辑电路和同步时序逻辑设计,对数字逻辑有一定理解	中等:了解计算机五大部件的部分基本知识,对总线和 I/O 系统有一定理解	中等:可以部分理解控制器和运算器的工作原理	中等:可以部分理解存储器的工作原理	中等:可以部分理解指令系统的工作原理
	59.9%至0	合格:了解数字逻辑基础、组合逻辑电路、时序逻辑电路和同步时序逻辑设计,对数字逻辑不能理解	合格:对计算机五大部件理解片面,对总线和 I/O 系统不能理解	合格:只能部分了解控制器和与运算器的知识,不能理解其工作原理	合格:只能部分了解存储器的知识,不能理解其工作原理	合格:只能部分了解指令系统的知识,不能很好区分指令功能和寻址方式

3. **实验**：必做实验 8 次，支撑目标 1、2、4、5，共占总评分 20%，其中目标 1、2、4、5 分别占 5%、5%、5%和 5%。对应目标的评分标准如下：

对应目标		目标 1：掌握数字逻辑基础、组合逻辑电路、时序逻辑电路的工作原理和同步时序逻辑设计。	
成绩比例		5%	
考查点		实验操作内容	实验报告
评分标准	100% 至 90%	准确理解相关概念、能够灵活运用所学知识，根据实验指导书，快速、准确完成时序电路的连接电路和操作，快速、正确实现组合逻辑电路和时序逻辑电路设计。实验态度认真，操作能力强，操作、记录规范，沟通、协作很好。	有很强的总结实验和撰写报告的能力，实验报告内容完整、正确，有很好的分析与见解。文本表述清晰，书写工整，格式规范。
	89.9% 至 80%	理解相关概念、能够灵活运用所学知识，根据实验指导书，可完成时序电路的连接电路和操作，能够正确实现组合逻辑电路和时序逻辑电路的功能。实验态度认真，操作能力强，操作、记录规范，沟通、协作良好。	有较强的总结实验和撰写报告的能力，实验报告内容完整、正确，有较好的分析与见解。文本表述较为清晰，书写比较工整，格式规范。
	79.9 至 70%	理解相关概念、能够运用所学知识，根据实验指导书，可完成时序电路的连接电路和操作，能够正确实现组合逻辑电路和时序逻辑电路功能。实验态度比较认真，操作能力较强，操作、记录规范，沟通、协作正常。	有良好的总结实验和撰写报告的能力，实验报告内容较完整、正确，有自己的分析与见解。文本表述较为清晰，书写较为工整，格式较为规范。
	69.9% 至 60%	基本理解相关概念、能够运用所学知识，根据实验指导书，基本可完成时序电路的连接电路和操作，能够正确实现组合逻辑电路和时序逻辑电路功能。实验态度不太认真，操作能力一般，操作、记录基本规范，有沟通、协作。	有一定的总结实验和撰写报告的能力，实验报告内容基本完整、正确，没有分析或见解。文本表述基本清晰，书写基本工整，格式基本规范。
	59.9% 至 0	动手操作能力差；操作、调试不规范，实验中不能完成时序电路的连接和仿真，无法正确实现组合逻辑电路和时序逻辑电路功能。不能正确使用仿真软件和仪器设备。	总结实验和撰写报告的能力差，实验报告内容不完整、错误多。文本表述不清晰，书写潦草、格式不规范。
对应目标		目标 2：掌握 FPGA 设计及其对应的硬件 Verilog 语言描述。	
成绩比例		5%	

考查点		实验操作内容	实验报告
评分标准	100% 至 90%	准确理解相关概念、能够灵活运用所学知识, 根据实验指导书, 快速、准确完成时序电路的连接电路和操作, 快速、正确实现 FPGA 设计及其对应的硬件 Verilog 语言。实验态度认真, 操作能力强, 操作、记录规范, 沟通、协作很好。	有很强的总结实验和撰写报告的能力, 实验报告内容完整、正确, 有很好的分析与见解。文本表述清晰, 书写工整, 格式规范。
	89.9% 至 80%	理解相关概念、能够灵活运用所学知识, 根据实验指导书, 可完成时序电路的连接电路和操作, 能够正确实现 FPGA 设计及其对应的硬件 Verilog 语言。实验态度认真, 操作能力强, 操作、记录规范, 沟通、协作良好。	有较强的总结实验和撰写报告的能力, 实验报告内容完整、正确, 有较好的分析与见解。文本表述较为清晰, 书写比较工整, 格式规范。
	79.9 至 70%	理解相关概念、能够运用所学知识, 根据实验指导书, 可完成时序电路的连接电路和操作, 能够正确实现 FPGA 设计及其对应的硬件 Verilog 语言。实验态度比较认真, 操作能力较强, 操作、记录规范, 沟通、协作正常。	有良好的总结实验和撰写报告的能力, 实验报告内容较完整、正确, 有自己的分析与见解。文本表述较为清晰, 书写较为工整, 格式较为规范。
	69.9% 至 60%	基本理解相关概念、能够运用所学知识, 根据实验指导书, 基本可完成时序电路的连接电路和操作, 能够正确实现 FPGA 设计及其对应的硬件 Verilog 语言。实验态度不太认真, 操作能力一般, 操作、记录基本规范, 有沟通、协作。	有一定的总结实验和撰写报告的能力, 实验报告内容基本完整、正确, 没有分析或见解。文本表述基本清晰, 书写基本工整, 格式基本规范。
	59.9% 至 0	动手操作能力差; 操作、调试不规范, 实验中不能完成时序电路的连接和仿真, 无法正确实现 FPGA 设计及其对应的硬件 Verilog 语言。不能正确使用仿真软件和仪器设备。	总结实验和撰写报告的能力差, 实验报告内容不完整、错误多。文本表述不清晰, 书写潦草、格式不规范。

对应目标	目标 4: 掌握控制器的工作原理, 算术逻辑部件的工作原理及运算方法。	
成绩比例	5%	
考查点	实验操作内容	实验报告

评分标准	100% 至 90%	准确理解相关概念、能够灵活运用所学知识, 根据实验指导书, 快速、准确完成时序电路的连接电路和操作, 快速、正确实现运算器的所有运算功能。实验态度认真, 操作能力强, 操作、记录规范, 沟通、协作很好。	有很强的总结实验和撰写报告的能力, 实验报告内容完整、正确, 有很好的分析与见解。文本表述清晰, 书写工整, 格式规范。
	89.9% 至 80%	理解相关概念、能够灵活运用所学知识, 根据实验指导书, 可完成时序电路的连接电路和操作, 能够正确实现运算器的所有运算功能。实验态度认真, 操作能力强, 操作、记录规范, 沟通、协作良好。	有较强的总结实验和撰写报告的能力, 实验报告内容完整、正确, 有较好的分析与见解。文本表述较为清晰, 书写比较工整, 格式规范。
	79.9 至 70%	理解相关概念、能够运用所学知识, 根据实验指导书, 可完成时序电路的连接电路和操作, 能够正确实现运算器的多数运算功能。实验态度比较认真, 操作能力较强, 操作、记录规范, 沟通、协作正常。	有良好的总结实验和撰写报告的能力, 实验报告内容较完整、正确, 有自己的分析与见解。文本表述较为清晰, 书写较为工整, 格式较为规范。
	69.9% 至 60%	基本理解相关概念、能够运用所学知识, 根据实验指导书, 基本可完成时序电路的连接电路和操作, 能够正确实现运算器的部分运算功能。实验态度不太认真, 操作能力一般, 操作、记录基本规范, 有沟通、协作。	有一定的总结实验和撰写报告的能力, 实验报告内容基本完整、正确, 没有分析或见解。文本表述基本清晰, 书写基本工整, 格式基本规范。
	59.9% 至 0	动手操作能力差; 操作、调试不规范, 实验中不能完成时序电路的连接和仿真, 无法正确实现运算器的运算功能。不能正确使用仿真软件和仪器设备。	总结实验和撰写报告的能力差, 实验报告内容不完整、错误多。文本表述不清晰, 书写潦草、格式不规范。

对应目标		目标 5: 掌握存储芯片的结构, 理解存储系统分层结构。。	
成绩比例		5%	
考查点		实验操作内容	实验报告
评分标准	100% 至 90%	准确理解相关概念、能够灵活运用所学知识, 根据实验指导书, 快速、准确完成存储器的连接电路, 并正确实现存储器中数据的读写。实验态度认真, 操作能力强, 操作、记录规范, 沟通、协作很好。	有很强的总结实验和撰写报告的能力, 实验报告内容完整、正确, 有很好的分析与见解。文本表述清晰, 书写工整, 格式规范。

89.9% 至 80%	理解相关概念、能够灵活运用所学知识,根据实验指导书,可完成存储器的连接电路,并正确实现存储器中数据的读写。实验态度认真,操作能力强,操作、记录规范,沟通、协作良好。	有较强的总结实验和撰写报告的能力,实验报告内容完整、正确,有较好的分析与见解。文本表述较为清晰,书写比较工整,格式规范。
79.9 至 70%	理解相关概念、能够运用所学知识,根据实验指导书,完成存储器的连接电路,并正确实现存储器中数据的读写。实验态度比较认真,操作能力较强,操作、记录规范,沟通、协作正常。	有良好的总结实验和撰写报告的能力,实验报告内容较完整、正确,有自己的分析与见解。文本表述较为清晰,书写较为工整,格式较为规范。
69.9% 至 60%	基本理解相关概念、能够运用所学知识,根据实验指导书,基本可完成存储器的连接电路,并能实现存储器中数据的读或者写操作。实验态度不太认真,操作能力一般,操作、记录基本规范,有沟通、协作。	有一定的总结实验和撰写报告的能力,实验报告内容基本完整、正确,没有分析或见解。文本表述基本清晰,书写基本工整,格式基本规范。
59.9% 至 0	动手操作能力差;操作、调试不规范,实验中不能完成存储器的连接电路,无法实现存储器中数据的读写。不能正确使用仿真软件和仪器设备。	总结实验和撰写报告的能力差,实验报告内容不完整、错误多。文本表述不清晰,书写潦草、格式不规范。

五、参考学习资料

- (一) **推荐教材:**《数字逻辑与计算机组成》,袁春风主编,机械工业出版社,2020,第1版,ISBN: 9787111665557
- (二) 推荐教材2:《计算机组成原理(微课版)》,谭志虎主编,人民邮电出版社,2021,第1版,ISBN: 9787115558015
- (三) 推荐教材3:《计算机组织与结构-性能设计》,[美]威廉,斯托林斯等,电子工业出版社,2018,第9版英文版,ISBN: 9787121324390
- (四) 推荐教材4:《深入理解计算机系统》,[美]兰德尔 E.布莱恩特等,机械工业出版社,2016,第3版,ISBN: 9787111544937
- (五) 参考资料1:《计算机组成与设计:硬件/软件接口》,[美]戴维·A.,帕特森,机械工业出版社,2020,第1版,ISBN: 9787111652144

制订人: 于安宁

审核人: 吴英